



1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-074394

(43)Date of publication of application : 17.03.1998

(51)Int.Cl. G11C 11/413
G05F 1/56
G11C 11/407

(21)Application number : 08-230352 (71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD
(22)Date of filing : 30.08.1996 (72)Inventor : SUGAMOTO HIROYUKI

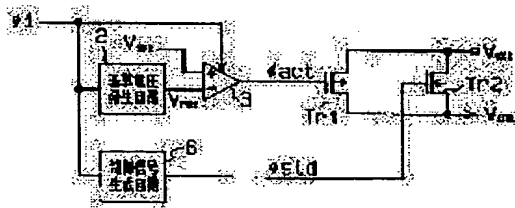
(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the semiconductor storage device equipped with a voltage dropping circuit capable of reducing power consumption at the time of a standby mode.

SOLUTION: A reference voltage V_{ref} is generated by a reference voltage generating circuit 2. A voltage dropping transistor is composed of a PMOS transistor $Tr1$ and an NMOS transistor $Tr2$, which are connected up in parallel between an external power source V_{ext} and an internal power source V_{int} . A reference voltage level is outputted as the internal power source V_{int} by the transistor $Tr1$ based on a control signal ϕ_{act} outputted from a comparator 3 for comparing the reference voltage V_{ref} with the internal power source V_{int} .

The reference voltage generating circuit 2 and the comparator 3 are activated by a mode selecting signal ϕ_{1} at the time of read operation and write operation. The transistor $Tr2$ is turned on to output a dropped voltage obtained by dropping a voltage of the standby mode selecting signal ϕ_{1} in a threshold amt. of the transistor $Tr2$ as the internal power source V_{int} based on a 2nd control signal ϕ_{std} generated by a control signal generating circuit 6 from the selecting signal ϕ_{1} .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平10-74394

(43)公開日 平成10年(1998)3月17日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
G11C 11/413			G11C 11/34	335A
G05F 1/56	310		G05F 1/56	310E
				310F
				310C
G11C 11/407			G11C 11/34	354F
審査請求 未請求 請求項の数3 OL (全6頁)				

(21)出願番号 特願平8-230352

(22)出願日 平成8年(1996)8月30日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 菅本 博之

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 恩田 博宣

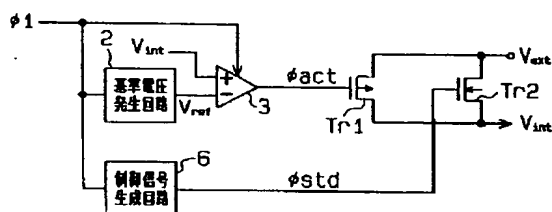
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】スタンバイモード時の消費電力を低減し得る降圧回路を備えた半導体記憶装置を提供する。

【解決手段】基準電圧発生回路2は、基準電圧Vrefを生成する。降圧トランジスタは、外部電源Vextと内部電源Vintとの間で並列に接続したPMOSTランジスタTr1とNMOSTランジスタTr2とから構成される。トランジスタTr1は、基準電圧Vrefと内部電源Vintとを比較する比較器3から出力される制御信号φactに基づいて、基準電圧レベルを内部電源Vintとして出力する。基準電圧発生回路2及び比較器3は、読み出し及び書き込み動作時にモード選択信号φ1で活性化される。トランジスタTr2は、スタンバイモード選択信号φ1から制御信号生成回路6で生成される第二の制御信号φstdに基づいてオンされて、該選択信号φ1をトランジスタTr2のしきい値分降圧した降圧電圧を内部電源Vintとして出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 外部から供給される外部電源に基づいて、該外部電源を降圧した降圧電圧を設定するための基準電圧を生成する基準電圧発生回路と、前記基準電圧に基づいて動作して、前記降圧電圧を内部電源として内部回路に出力する降圧トランジスタとからなる降圧回路を備えた半導体記憶装置であって、前記降圧トランジスタは、前記外部電源と内部電源との間で並列に接続したPチャネルFETとNチャネルFETとから構成し、前記PチャネルFETは、前記基準電圧と内部電源とを比較する比較器から出力される第一の制御信号に基づいて、前記内部電源が基準電圧より低電圧となったときオンされて、前記基準電圧レベルを内部電源として出力し、前記基準電圧発生回路及び比較器は、読み出し及び書き込み動作を設定するモード選択信号に基づいて活性化し、前記NチャネルFETは、スタンバイモードを設定する前記モード選択信号から制御信号生成回路で生成される第二の制御信号に基づいてオンされて、該モード選択信号の電圧レベルを前記NチャネルFETのしきい値分降圧した降圧電圧を内部電源として出力することを特徴とする半導体記憶装置。

【請求項2】 前記制御信号生成回路は、前記第二の制御信号の電圧レベルが前記基準電圧と一致するように、外部電源から複数のNチャネルFETしきい値分降圧した電圧レベルを生成することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記制御信号生成回路は、前記モード選択信号のスタンバイモードへの切り替えりに基づいて、前記第二の制御信号を前記内部電源電圧より前記NチャネルFETのしきい値分高い電圧レベルとすることを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、外部から供給される電源を降圧して内部回路に供給する降圧回路を備えた半導体記憶装置に関するものである。

【0002】近年の半導体記憶装置では、高集積化、低消費電力化及び動作速度の高速化がますます要請されている。半導体記憶装置の一種類として、消費電力を低減するため、あるいは内部回路を構成する素子を保護するために、外部から供給される電源を降圧して内部回路に供給する降圧回路を備えたものがある。このような半導体記憶装置では、消費電力を低減するために、降圧回路の消費電力を低減することが必要となっている。

【0003】

【従来の技術】従来、半導体記憶装置の一種類として、外部から供給される電源を降圧回路で降圧して内部回路

に供給することにより、消費電力の低減及び内部回路を構成する素子の保護を図るようにしたものがある。

【0004】前記降圧回路は、外部電源と内部電源供給用配線との間に介在される降圧トランジスタと、その降圧トランジスタのゲート電位を制御する降圧トランジスタ制御回路とから構成される。前記降圧トランジスタは、例えばNチャネルMOSTランジスタで構成される。

【0005】前記降圧トランジスタ制御回路は、降圧電位すなわち内部電源を一定に維持するために基準電圧発生回路を備え、その基準電圧発生回路で生成された基準電圧に基づいて、前記降圧トランジスタのゲートに定電圧が供給される。

【0006】従って、降圧トランジスタは定電圧となるゲート電圧により常時オンされ、そのゲート電圧からその降圧トランジスタのしきい値分低下した電圧が、同降圧トランジスタのソースから内部電源として所定の内部回路に供給される。

【0007】このように構成された半導体記憶装置では、所定の内部回路が降圧された内部電源で動作し、書き込み動作及び読み出し動作が行なわれ、書き込み動作及び読み出し動作が行なわれないときは、書き込み動作若しくは読み出し動作を待つスタンバイモードとなる。

【0008】

【発明が解決しようとする課題】上記のような半導体記憶装置では、降圧回路は基準電圧に基づいて動作し、その基準電圧は例えばダイオード接続されたMOSTランジスタ及び抵抗等を高電位側電源と低電位側電源との間で直列に接続して構成した基準電圧発生回路で常時生成される。

【0009】このような構成により、基準電圧発生回路では内部回路での消費電流が少なくなるスタンバイモード時にも定期的に電流が消費されるため、スタンバイモード時には降圧回路の消費電力が相対的に増大する。従って、スタンバイモード時の消費電力を低減するためには、スタンバイモード時の降圧回路の消費電力を低減することが有効である。

【0010】この発明の目的は、外部電源を降圧した内部電源を内部回路に安定して供給しながら、スタンバイモード時の消費電力を低減し得る降圧回路を備えた半導体記憶装置を提供することにある。

【0011】

【課題を解決するための手段】図1は請求項1の発明の原理説明図である。すなわち、基準電圧発生回路2は、外部から供給される外部電源 V_{ext} に基づいて、該外部電源 V_{ext} を降圧した降圧電圧を設定するための基準電圧 V_{ref} を生成する。降圧トランジスタは、前記基準電圧 V_{ref} に基づいて動作して、前記降圧電圧を内部電源 V_{int} として内部回路に出力する。前記降圧トランジスタは、前記外部電源 V_{ext} と内部電源 V_{int} との間で並

列に接続したPチャネルFET・Tr1とNチャネルFET・Tr2とから構成される。前記PチャネルFET・Tr1は、前記基準電圧Vrefと内部電源Vintとを比較する比較器3から出力される第一の制御信号 ϕ_{act} に基づいて、前記内部電源Vintが基準電圧Vrefより低電圧となったときオンされて、前記基準電圧レベルを内部電源Vintとして出力する。前記基準電圧発生回路2及び比較器3は、読み出し及び書き込み動作を設定するモード選択信号 ϕ_1 に基づいて活性化される。前記NチャネルFET・Tr2は、スタンバイモードを設定する前記モード選択信号 ϕ_1 から制御信号生成回路6で生成される第二の制御信号 ϕ_{std} に基づいてオンされて、該モード選択信号 ϕ_1 の電圧レベルを前記NチャネルFETのしきい値分降圧した降圧電圧を内部電源Vintとして出力する。

【0012】請求項2では、前記制御信号生成回路は、前記第二の制御信号の電圧レベルが前記基準電圧と一致するように、外部電源から複数のNチャネルFETのしきい値分降圧した電圧レベルを生成する。

【0013】請求項3では、前記制御信号生成回路は、前記モード選択信号のスタンバイモードへの切り替わりに基づいて、前記第二の制御信号を前記内部電源電圧より前記NチャネルFETのしきい値分高い電圧レベルとする。

【0014】(作用)請求項1では、読み出し及び書き込みモードでは、基準電圧発生回路2及び比較器3が活性化され、第一の制御信号 ϕ_{act} に基づいてオンされるPチャネルFET・Tr1により、内部電源Vintが基準電圧Vrefレベルに維持される。スタンバイモードでは、基準電圧発生回路2及び比較器3が不活性化され、第二の制御信号 ϕ_{act} に基づいてオンされるNチャネルFET・Tr2により、第二の制御信号 ϕ_{act} の電圧レベルをNチャネルFET・Tr2のしきい値分低下させた内部電源Vintが出力される。

【0015】請求項2では、第二の制御信号は、外部電源から複数のNチャネルMOSトランジスタのしきい値分降圧した電圧レベルとなり、内部電源は第二の制御信号からさらにNチャネルFETのしきい値分低下した電圧レベルとなる。

【0016】請求項3では、第二の制御信号は、モード選択信号のスタンバイモードへの切り替わりに基づいて、内部電源よりNチャネルFETのしきい値分高い電圧レベルとなる。

【0017】

【発明の実施の形態】

(第一の実施の形態)図2は、この発明を具体化した半導体記憶装置の降圧回路の第一の実施の形態を示す。降圧トランジスタ制御回路1aに入力されるモード選択信号 ϕ_1 は、読み出し及び書き込みモードと、スタンバイモードとを切り替えるための信号であり、この半導体記

憶装置の周辺回路により生成されて、読み出し及び書き込みモード時にはHレベル、スタンバイモード時には、Lレベルとなる。

【0018】前記モード選択信号 ϕ_1 は、基準電圧発生回路2及び比較器3に入力され、基準電圧発生回路2及び比較器3は、モード選択信号 ϕ_1 がHレベルとなると活性化される。基準電圧発生回路2はその活性化に基づいて、基準電圧Vrefを出力する。前記基準電圧Vrefは、内部電源Vintとして必要な電圧レベルに設定される。

【0019】比較器3は、前記基準電圧Vrefと内部電源Vintとを比較して制御信号 ϕ_{act} を出力する。その制御信号 ϕ_{act} は、内部電源Vintが基準電圧Vrefより高電位であればHレベルとなり、内部電源Vintが基準電圧Vrefより低電位であればLレベルとなる。また、モード選択信号 ϕ_1 により比較器3が不活性化状態となると、同比較器3からHレベルの制御信号 ϕ_{act} が出力されるように設定される。

【0020】前記モード選択信号 ϕ_1 はインバータ回路4aで反転されて、制御信号 ϕ_{std} として出力される。前記インバータ回路4aには、前記外部電源Vextが供給される。

【0021】降圧トランジスタはPチャネルMOSトランジスタTr1と、NチャネルMOSトランジスタTr2とが並列に接続されて構成される。前記トランジスタTr1のゲートには、前記制御信号 ϕ_{act} が入力され、ソースには外部電源Vextが供給される。そして、前記トランジスタTr1のドレインから内部電源Vintが出力される。

【0022】前記トランジスタTr2のゲートには、前記制御信号 ϕ_{std} が入力され、ドレインには外部電源Vextが供給される。そして、前記トランジスタTr2のソースから内部電源Vintが出力される。

【0023】次に、上記のように構成された降圧回路の動作を説明する。読み出し及び書き込みモード時に、モード選択信号 ϕ_1 がHレベルとなると、基準電圧発生回路2及び比較器3が活性化される。すると、基準電圧発生回路2は基準電圧Vrefを出力し、比較器3は基準電圧Vrefと内部電源Vintとを比較して、制御信号 ϕ_{act} を出力する。また、インバータ回路4aから出力される制御信号 ϕ_{std} はLレベルとなり、トランジスタTr2はオフされる。

【0024】前記内部電源Vintが基準電圧Vrefより低電位であると、制御信号 ϕ_{act} はLレベルとなり、トランジスタTr1がオンされて、内部電源Vintの電圧レベルが上昇する。そして、内部電源Vintが基準電圧Vrefを超えると、制御信号 ϕ_{act} はHレベルとなり、トランジスタTr1がオフされる。

【0025】内部電源Vintが供給される内部回路の電流消費により、内部電源Vintが再び基準電圧Vrefよ

り低電位となると、トランジスタTr1がオンされて、内部電源Vintの電圧レベルが上昇する。このような動作により、内部電源Vintは基準電圧Vrefに維持される。

【0026】スタンバイモード時に、モード選択信号φ1がLレベルとなると、基準電圧発生回路2、3が不活性化される。すると、制御信号φactはHレベルとなって、トランジスタTr1はオフされる。

【0027】また、制御信号φstdはHレベルとなって、トランジスタTr2がオンされる。すると、内部電源Vintは外部電源VextからトランジスタTr2のしきい値分低下した降圧電位となる。

【0028】上記のように構成された降圧回路では、次に示す作用効果を得ることができる。

(イ)読み出し及び書き込みモード時には、基準電圧発生回路2及び比較器3を活性化し、制御信号φactによりトランジスタTr1をオンさせて、基準電圧Vrefで設定される降圧電位を内部回路に内部電源Vintとして供給することができるので、内部回路の消費電力の低減及び素子の保護を図ることができる。

(ロ)スタンバイモード時には、基準電圧発生回路2及び比較器3を不活性化して、この降圧回路の消費電力を低減することができる。また、制御信号φstdによりオンされるトランジスタTr2より内部電源Vintを生成して、内部回路に供給することができる。

(第二の実施の形態)図3は、降圧回路の第二の実施の形態を示す。この実施の形態は、前記第一の実施の形態の降圧トランジスタ制御回路1aに、インバータ回路4b及びNチャネルMOSトランジスタTr3~Tr5を追加して降圧トランジスタ制御回路1bを構成することにより、スタンバイモード時の内部電源VintをトランジスタTr2のしきい値以上に降圧する構成としたものである。

【0029】前記降圧トランジスタ制御回路1bの構成を、前記第一の実施の形態の降圧トランジスタ1aの構成と相違する部分について説明する。前記インバータ回路4aの出力信号は、前記トランジスタTr3のゲートに入力され、そのトランジスタTr3のドレインは外部電源Vextに接続される。前記トランジスタTr3のソースは、前記トランジスタTr4のゲートに接続され、同トランジスタTr4のドレインは外部電源Vextに接続される。

【0030】前記トランジスタTr4のソースは、前記トランジスタTr5のドレインに接続され、同トランジスタTr5のソースはグラウンドGNDに接続される。前記インバータ回路4aの出力信号は、インバータ回路4bで反転されて、前記トランジスタTr5のゲートに入力される。そして、前記トランジスタTr5のドレインから制御信号φstdが出力される。

【0031】このように構成された降圧トランジスタ制

御回路1bでは、読み出し及び書き込みモード時に、モード選択信号φ1がHレベルとなれば、トランジスタTr3がオフされるとともに、トランジスタTr5がオンされて、制御信号φstdがLレベルとなり、前記第一の実施の形態と同様に動作する。

【0032】スタンバイモード時に、モード選択信号φ1がLレベルとなると、基準電圧発生回路2及び比較器3は不活性化され、制御信号φactはHレベルとなる。また、インバータ回路4aの出力信号はHレベルとなり、トランジスタTr3、Tr4がオンされるとともに、インバータ回路4bの出力信号はLレベルとなって、トランジスタTr5はオフされる。

【0033】すると、制御信号φstdは外部電源VextからトランジスタTr3、Tr4のしきい値分低下した電位となり、この制御信号φstdに基づいてオンされるトランジスタTr2から出力される内部電源Vintは、制御信号φstdからさらにトランジスタTr2のしきい値分低下したレベルとなる。

【0034】従って、スタンバイ時の内部電源Vintを基準電圧Vrefと一致するように前記第一の実施の形態よりさらに低下させて、消費電力を低減することができる。

(第三の実施の形態)図4は、降圧回路の第三の実施の形態を示す。この実施の形態は、前記第一の実施の形態の降圧トランジスタ制御回路1aに、インバータ回路4c、PチャネルMOSトランジスタTr6及びNチャネルMOSトランジスタTr7、Tr8を追加して降圧トランジスタ制御回路1cを構成することにより、スタンバイモード時の内部電源VintをトランジスタTr2のしきい値に依存しないレベルに設定可能としたものである。

【0035】降圧トランジスタ制御回路1cの構成を、前記第一の実施の形態の降圧トランジスタ制御回路1aと相違する部分について説明する。前記インバータ回路4aの出力信号は、NAND回路5に入力されるとともに、3段のインバータ回路4cを介してNAND回路5に入力される。

【0036】前記NAND回路5の出力信号は、PチャネルMOSトランジスタTr6のゲートに入力され、そのトランジスタTr6のソースは、外部電源Vextに接続される。

【0037】前記モード選択信号φ1は、NチャネルMOSトランジスタTr7のゲートに入力され、そのトランジスタTr7のソースはグラウンドGNDに接続され、ドレインは前記トランジスタTr6のドレインに接続される。

【0038】また、前記トランジスタTr6、Tr7のドレインは、NチャネルMOSトランジスタTr8のゲート及びドレインに接続され、同トランジスタTr8のソースは、内部電源Vintに接続される。そして、前記トランジスタTr6~Tr8のドレインから制御信号φstdが前記トランジスタTr2のゲートに出力される。

【0039】このように構成された降圧回路では、読み出し及び書き込みモード時に、モード選択信号 $\phi 1$ がHレベルとなると、基準電圧発生回路2及び比較器3が活性化されて、内部電源 V_{int} に基づく制御信号 ϕ_{act} が出力される。

【0040】また、インバータ回路4aの出力信号はLレベルとなるため、NAND回路5の出力信号はHレベルとなり、トランジスタ Tr_6 がオフされる。また、モード選択信号 $\phi 1$ がHレベルであるため、トランジスタ Tr_7 がオンされ、制御信号 ϕ_{std} はLレベルとなり、トランジスタ Tr_2 はオフされる。

【0041】従って、読み出し及び書き込みモード時には前記第一の実施の形態と同様に動作する。読み出し及び書き込みモードからスタンバイモードに移行して、モード選択信号 $\phi 1$ がHレベルからLレベルに立ち下ると、トランジスタ Tr_7 がオフされる。

【0042】また、インバータ回路4aの出力信号がHレベルとなり、インバータ回路4cの出力信号はその動作遅延時間に相当する一定時間だけHレベルに維持されるため、NAND回路5から一定時間Lレベルとなる出力信号が出力される。

【0043】すると、トランジスタ Tr_6 が一定時間だけオンされて、制御信号 ϕ_{std} が外部電源 V_{ext} レベルなる。次いで、一定時間後にNAND回路5の出力信号がHレベルに復帰すると、トランジスタ Tr_6 がオフされる。このとき、制御信号 ϕ_{std} が読み出し及び書き込みモード時の内部電源 V_{int} よりトランジスタ Tr_8 のしきい値分以上高電位であれば、トランジスタ Tr_8 がオンされて、制御信号 ϕ_{std} が内部電源 V_{int} よりトランジスタ Tr_8 のしきい値分高い電位まで低下する。

【0044】トランジスタ Tr_8 のしきい値と、トランジスタ Tr_2 のしきい値は、ほぼ同一であるため、トランジスタ Tr_2 は制御信号 ϕ_{std} によりオンされて、その制御

信号 ϕ_{std} より同トランジスタ Tr_2 のしきい値分低い内部電源 V_{int} を出力する。

【0045】このような降圧回路では、前記第一の実施の形態の作用効果に加えて、次に示す作用効果を得ることができる。

(イ) 読み出し及び書き込みモードからスタンバイモードに移行しても、内部電源 V_{int} を一定に維持することができる。

(ロ) スタンバイモード時の内部電源 V_{int} をトランジスタ Tr_2 のしきい値に関わらず、基準電圧 V_{ref} レベルに容易に維持することが可能となる。

【0046】

【発明の効果】以上詳述したように、この発明は外部電源を降圧した内部電源を内部回路に安定して供給しながら、スタンバイモード時の消費電力を低減し得る降圧回路を備えた半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の原理説明図である。

【図2】 第一の実施の形態を示す回路図である。

【図3】 第二の実施の形態を示す回路図である。

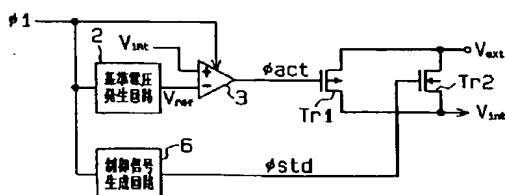
【図4】 第三の実施の形態を示す回路図である。

【符号の説明】

2	基準電圧発生回路
3	比較器
6	制御信号生成回路
V_{ext}	外部電源
V_{int}	内部電源
Tr_1	NチャネルFET
Tr_2	PチャネルFET
$\phi 1$	モード選択信号
ϕ_{act}	第一の制御信号
ϕ_{std}	第二の制御信号
V_{ref}	基準電圧

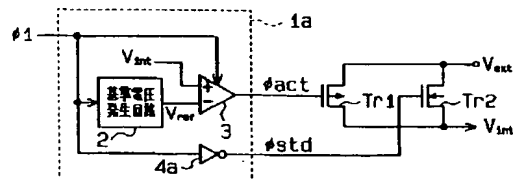
【図1】

本発明の原理説明図



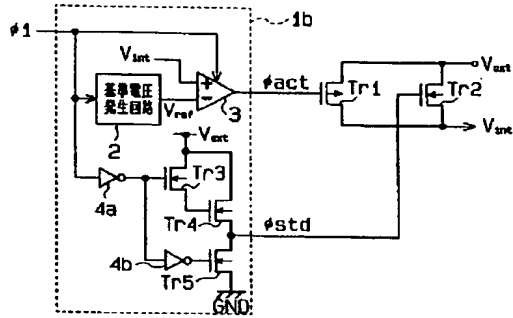
【図2】

第一の実施の形態を示す回路図



【図3】

第二の実施の形態を示す回路図



【図4】

第三の実施の形態を示す回路図

